

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345446

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 2000-166214

(71)Applicant : SEIKO INSTRUMENTS INC

(22)Date of filing : 02.06.2000

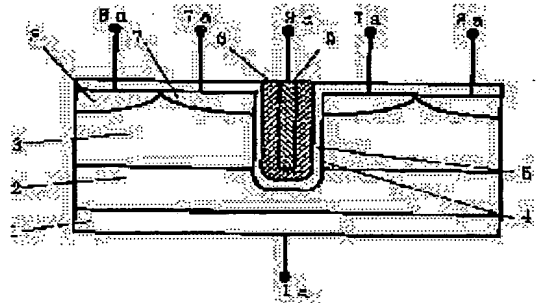
(72)Inventor : HARADA HIROBUMI

(54) VERTICAL MOS TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a vertical MOS transistor and its manufacturing method wherein the resistance of a gate is reduced to make better a high-frequency characteristic than conventional ones and a yield is improved.

SOLUTION: In the vertical MOS transistor and its manufacturing method, when a gate voltage is applied to a gate electrode 9a, a channel is so formed along a trench 4 in a body region 3 that an electron current flows from a drain layer 1 to a source layer 7. In this case, a laminated structure comprising a polycrystal silicon film 6 and a metal silicide 9 is given to a gate present in the trench. Therefore, the resistance of a gate becomes small to improve a high-frequency characteristic. Also, in this structure and its manufacturing method, there are so generated hardly recessed portions in the upper portion of the gate present in the trench when etching it for forming a gate as to make avoidable the faultinesses of an operation and a reliability caused by the recessed portions.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(11)特許出願公開番号

特開2001-345446

(P2001-345446A)

(43)公開日 平成13年12月14日(2001.12.14)

(51) Int.Cl.⁷

識別記号

FI

テーマート* (参考)

H O 1 L 29/78

6 5 3

H O 1 L 29/78

6 5 3 A

6 5 2

6 5 2 K

6 5 2 N

6 5 8 F

21/336

審査請求 未請求 請求項の数 9 OL (全 7 頁)

(21)出願番号

特願2000-166214(P2000-166214)

(71)出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72)発明者 原田 博文

千葉県千葉市美浜区中瀬1丁目8番地 七

イコーインスツルメンツ株式会社内

(74)代理人 100096378

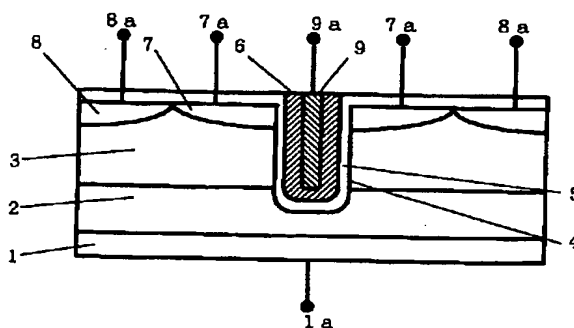
弁理士 坂上 正明

(54) 【発明の名称】 縦形MOSトランジスタ及びその製造方法

(57) 【要約】

【課題】 ゲート抵抗を低減し、従来よりも高周波特性を改善するとともに歩留まり向上を実現する縦形MOSトランジスタ及びその製造方法を提供する。

【解決手段】 ゲート電極9aにゲート電圧が印加されると、トレンチ4に沿ってボディ領域3にチャネルが形成され、ドレイン層1からソース層7に電子電流が流れる。このとき、トレンチ内のゲートを多結晶シリコン膜6と金属シリサイド9との積層構造とする。そのため、ゲート抵抗が小さくなり、高周波特性が改善される。また、この構造及び製造方法ではトレンチ内ゲート上部にゲート形成のためのエッチング時に生ずる凹部が発生しにくく、この凹部に基づく動作不良や信頼性不良を回避することができる。



1

【特許請求の範囲】

【請求項1】 第1の導電型の半導体基板と、

前記半導体基板上に形成された第1の導電型のエピタキシャル成長層と、

前記エピタキシャル成長層上に形成された第2の導電型のボディ領域と、

前記第2の導電型のボディ領域を貫通し、前記第1導電型のエピタキシャル成長層の内部に達するように形成されたトレンチと、

前記第2の導電型のボディ領域の表面及び前記トレンチの壁面及び底面に沿って形成されたゲート絶縁膜と、

前記ゲート絶縁膜に接し、前記ゲート絶縁膜に囲まれるように前記トレンチ内に形成された多結晶シリコンゲートと、

前記多結晶シリコンゲートに接し、前記ゲート絶縁膜及び多結晶シリコンゲートに囲まれるように前記トレンチ内に形成された金属シリサイドゲートと、

前記第2の導電型のボディ領域の表面で且つ前記トレンチ周囲に前記ゲート絶縁膜に接して形成された第1の導電型のソース領域と、

前記多結晶シリコンゲート及び前記金属シリサイドゲートに接続されたゲート電極と、

前記ソース領域に接続されたソース電極と、

前記半導体基板に接続されたドレイン電極とを、備えたことを特徴とする縦形MOSトランジスタ。

【請求項2】 前記多結晶シリコンゲートに接し、前記ゲート絶縁膜及び多結晶シリコンゲートに囲まれるように前記トレンチ内に形成される膜がシリコン化合物であることを特徴とする請求項1記載の縦形MOSトランジスタ。

【請求項3】 前記多結晶シリコンゲートに接し、前記ゲート絶縁膜及び多結晶シリコンゲートに囲まれるように前記トレンチ内に形成される膜がシリコン酸化膜であることを特徴とする請求項2記載の縦形MOSトランジスタ。

【請求項4】 前記多結晶シリコンゲートに接し、前記ゲート絶縁膜及び多結晶シリコンゲートに囲まれるように前記トレンチ内に形成される膜がシリコン窒化膜であることを特徴とする請求項2記載の縦形MOSトランジスタ。

【請求項5】 前記多結晶シリコンゲートに接し、前記ゲート絶縁膜及び多結晶シリコンゲートに囲まれるように前記トレンチ内に形成される膜が金属膜であることを特徴とする請求項1記載の縦形MOSトランジスタ。

【請求項6】 第1の導電型の半導体基板主表面から、第2の導電型のボディ領域を第2導電型の不純物の注入及び熱拡散で形成する工程と、

前記ボディ領域上のトレンチ形成予定領域から該第2のボディ領域を貫通し、前記半導体基板の内部まで異方性エッチングを行い、トレンチを形成する工程と、

2

前記ボディ領域の表面及び前記トレンチの壁面に沿ってゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に多結晶シリコン層を、前記トレンチの幅の半分以下の層厚で堆積する工程と、

前記多結晶シリコン層上に金属シリサイド層を、前記トレンチ幅の半分と前記多結晶シリコン層の厚さとの差以上の層厚で形成する工程と、

前記金属シリサイド層に対して、エッチングを行う工程と、

10 前記多結晶シリコン層に対してエッチングを行い、前記トレンチ内にゲートを形成する工程と、

前記ボディ領域の表面で且つゲート絶縁膜に接した領域に第1の導電型のソース領域を形成する工程とを、行うことを特徴とする縦形MOSトランジスタの製造方法。

【請求項7】 前記多結晶シリコン層上に形成する膜がシリコン酸化膜であることを特徴とする縦形MOSトランジスタの製造方法。

20 【請求項8】 前記多結晶シリコン層上に形成する膜がシリコン窒化膜であることを特徴とする縦形MOSトランジスタの製造方法。

【請求項9】 前記多結晶シリコン層上に形成する膜が金属膜であることを特徴とする縦形MOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トレンチ構造を有する縦形MOSトランジスタ、及びその製造方法に関する。

【0002】

30 【従来の技術】図2に従来のトレンチ構造を有する縦形MOSトランジスタの模式断面図を示す。これはドレイン領域となる第1導電型高濃度基板1上に、より低濃度の第1導電型層2をエピタキシャル成長させた半導体基板を用意し、この半導体基板の表面からボディ領域と称する第2導電型拡散領域3を不純物注入及び1000℃以上の高温熱処理で形成する。さらに表面からソース領域となる第1導電型高濃度不純物領域7と、ボディ領域の電位をオーミック・コンタクトにより固定させるための第2導電型高濃度ボディコンタクト領域8が形成されており、それぞれソース電極7a、ボディ電極8aに接続される。ここで、この第1導電型のソース領域と第2導電型のボディコンタクト領域は通常は同電位とするため図2では接触するレイアウトとし、図示はしないが1つのコンタクトホールによって両方の領域にまたがって電氣的コンタクトをとることにより、7aと8aを接続している。そしてこの第1導電型のソース領域を貫通して単結晶シリコンをエッチングしてトレンチ4を形成し、このシリコントレンチ内にゲート絶縁膜4及び、ゲート電極6aに接続される高濃度不純物を含んだ多結晶シリコン6を埋め込んでいる。またこの半導体基板裏面

40

50

の第1導電型高濃度領域はドレイン電極1aに接続されている。

【0003】以上のような構造により、裏面側の第1導電型高濃度領域及び第1導電型エピタキシャル領域からなるドレインから、表面側の第1導電型高濃度領域からなるソースへ流れる電流を、トレンチ側壁のゲート絶縁膜を介して、トレンチ内に埋め込んだゲートで制御する縦型MOSトランジスタとして機能させることができる。この方法は導電型をNまたはPにすることで、Nチャンネル型、Pチャンネル型の両方に対応することができる。また、このトレンチ構造を有する縦型MOSトランジスタは、完全に縦方向にチャンネルを形成するので、微細化技術の適用が可能であるという特徴を有する。

【0004】このような縦型MOSトランジスタは、例えば米国特許4767722などにその基本的な構造及び製造方法の概略が開示されている。

【0005】しかし、このような縦型MOSトランジスタの構造及び製造方法では以下のような問題点が存在する。

【0006】まず第1に、この従来の方法で作製される縦型MOSトランジスタでは、図2に示されるようにトレンチ内に埋め込まれている多結晶シリコン上部が凹形状となる。この凹部は、トレンチ内及び半導体基板上に、表面が平坦化するまで堆積された多結晶シリコン膜を、エッチバック法により除去する過程で形成される。この凹部が形成される理由は、図10のように多結晶シリコン膜を堆積する際、グレインがトレンチ内のゲート絶縁膜上に垂直方向に成長するが、このときトレンチ内中心線11-11'で接触したときにできるグレイン境界が、他の多結晶シリコンの領域よりもエッチングレートが早くなるためである。

【0007】この多結晶シリコン膜のエッチバックを過剰に行うと、トレンチ内のチャンネルが形成されるボディ領域にゲート絶縁膜を介して接する多結晶シリコンまでが除去され、トランジスタ動作が阻害されたり、また後の工程の膜の堆積時にボイドが形成され、特に高温動作時にこのボイドからクラックが入りトランジスタそのものが破壊するという現象が起きることがあるので充分な管理の下で行われなければならないという問題点がある。

【0008】第2に、このトレンチ構造を有する縦型MOSトランジスタは、多結晶シリコンによりゲート電極を形成するので、ゲート抵抗が高く、特に微細化するほどこの傾向が大きくなるという問題点がある。これは高周波特性を阻害することになり、一般的には500kHz以上の高周波動作においてスイッチング遅延や、効率の低下が無視できなくなる。

【0009】

【課題を解決するための手段】上記課題を解決するために、この発明は、第1の導電型の半導体基板と、この半

導体基板上に形成された第1の導電型のエピタキシャル成長層と、エピタキシャル成長層上に形成された第2の導電型のボディ領域と、このボディ領域を貫通し、第1導電型のエピタキシャル成長層の内部に達するように形成されたトレンチと、ボディ領域の表面及びトレンチの壁面及び底面に沿って形成されたゲート絶縁膜と、このゲート絶縁膜に接し、ゲート絶縁膜に囲まれるようにトレンチ内に形成された多結晶シリコンゲートと、多結晶シリコンゲートに接し、ゲート絶縁膜及び多結晶シリコンゲートに囲まれるようにトレンチ内に形成された金属シリサイドゲートと、ボディ領域の表面で且つトレンチ周囲にゲート絶縁膜に接して形成された第1の導電型のソース領域と、多結晶シリコンゲート及び金属シリサイドゲートに接続されたゲート電極と、ソース領域に接続されたソース電極と、半導体基板に接続されたドレイン電極とを、備えたことを特徴とする縦型MOSトランジスタとした。

【0010】または、先の多結晶シリコンゲートに接し、ゲート絶縁膜及び多結晶シリコンゲートに囲まれるようにトレンチ内に形成される膜がシリコン化合物であることを特徴とする縦型MOSトランジスタとした。

【0011】また多結晶シリコンゲートに接し、ゲート絶縁膜及び多結晶シリコンゲートに囲まれるようにトレンチ内に形成される膜が特にシリコン酸化膜であることを特徴とする縦型MOSトランジスタとした。

【0012】または多結晶シリコンゲートに接し、ゲート絶縁膜及び多結晶シリコンゲートに囲まれるようにトレンチ内に形成される膜が特にシリコン窒化膜であることを特徴とする縦型MOSトランジスタとした。

【0013】または多結晶シリコンゲートに接し、ゲート絶縁膜及び多結晶シリコンゲートに囲まれるようにトレンチ内に形成される膜が特に金属膜であることを特徴とする縦型MOSトランジスタとした。

【0014】以上を達成するために、第1の導電型の半導体基板主表面から、第2の導電型のボディ領域を第2導電型の不純物の注入及び熱拡散で形成する工程と、ボディ領域上のトレンチ形成予定領域から該第2のボディ領域を貫通し、半導体基板の内部まで異方性エッチングを行い、トレンチを形成する工程と、ボディ領域の表面及び前記トレンチの壁面に沿ってゲート絶縁膜を形成する工程と、ゲート絶縁膜上に多結晶シリコン層を、トレンチの幅の半分以上の層厚で堆積する工程と、多結晶シリコン層上に金属シリサイド層を、先のトレンチ幅の半分と多結晶シリコン層の厚さの差以上の層厚で形成する工程と、金属シリサイド層に対して、エッチングを行う工程と、多結晶シリコン層に対してエッチングを行い、トレンチ内にゲートを形成する工程と、ボディ領域の表面で且つゲート絶縁膜に接した領域に第1の導電型のソース領域を形成する工程とを、行うことを特徴とする縦型MOSトランジスタの製造方法とした。

5

【0015】または多結晶シリコン層上に形成する膜がシリコン酸化膜であることを特徴とする縦形MOSトランジスタの製造方法とした。

【0016】または多結晶シリコン層上に形成する膜がシリコン窒化膜であることを特徴とする縦形MOSトランジスタの製造方法とした。

【0017】または多結晶シリコン層上に形成する膜が金属膜であることを特徴とする縦形MOSトランジスタの製造方法とした。

【0018】

【発明の実施の形態】以下にこの発明の実施の形態を図面に基いて説明する。

【0019】図1は本発明のNチャネル縦形MOSトランジスタの断面図である。これはドレイン領域となる第1導電型高濃度基板1上に、より低濃度の第1導電型層2をエピタキシャル成長させた半導体基板を用意し、この半導体基板の表面からボディ領域となる第2導電型拡散領域3を不純物注入及び1000℃以上の高温熱処理で形成する。さらに表面からソース領域となる第1導電型高濃度不純物領域7と、ボディ領域の電位をオーミック・コンタクトにより固定させるための第2導電型高濃度ボディコンタクト領域8が形成されており、それぞれソース電極7a、ボディ電極8aに接続される。ここで、この第1導電型のソース領域と第2導電型のボディコンタクト領域は図2では同電位とするため接触するレイアウトとし、図示はしないが1つのコンタクトホールによって両方の領域にまたがって電気的コンタクトをとることにより、7aと8aを接続している。これらは従来例と同様の構成である。そしてこの第1導電型のソース領域を貫通して単結晶シリコンをエッチングしてトレンチ4を形成し、このシリコントレンチ内壁にゲート絶縁膜5を形成しており、このトレンチ内のゲート絶縁膜の内側に、高濃度不純物を含んだ多結晶シリコン6を埋め込んでおり、さらにトレンチ内の多結晶シリコンの内側に、トレンチ方向に沿って多結晶シリコンに接して金属シリサイド9を形成している。これらの高濃度不純物を含んだ多結晶シリコン及び金属シリサイドはゲート電極9aに接続している。またこの半導体基板裏面の第1導電型高濃度領域はドレイン電極1aに接続されている。

【0020】以上のような構造により、裏面側の第1導電型高濃度領域及び第1導電型エピタキシャル領域からなるドレインから、表面側の第1導電型高濃度領域からなるソースへ流れる電流を、トレンチ側壁のゲート絶縁膜を介して、トレンチ内に埋め込んだ多結晶シリコン及び金属シリサイドからなるゲートで制御する縦形MOSトランジスタとして機能させることができる。この方法は導電型をNまたはPにすることで、Nチャネル型、Pチャネル型の両方に対応することができる。

【0021】本発明を実現するための縦形MOSトラン

6

ジスタの製造方法を図3に基いてNチャネル型を例に説明する。まずAsまたはSBを、抵抗率にして0.001Ω・cmから0.01Ω・cmになるまでドーブしたN型高濃度基板1上に、 $2 \times 10^{14} / \text{cm}^3$ から $4 \times 10^{16} / \text{cm}^3$ の濃度のPをドーブした数μmから数10μmの厚さのN型低濃度エピタキシャル層2を有する面方位100の半導体基板を用意する(図3)。このN型エピタキシャル層の厚さ及び不純物濃度は、必要とされるドレイン・ソース間の耐圧及び電流駆動能力によって任意の条件のものを選ぶ。

10

【0022】次にこの縦形MOSトランジスタの、後にボディとなる領域を形成するために、Bを注入し、その後熱処理することにより、不純物濃度が $2 \times 10^{16} / \text{cm}^3$ から $5 \times 10^{17} / \text{cm}^3$ で深さが数μmから10数μmまでの深さのP型ボディ領域3を形成する。次に、酸化膜またはレジストをマスクとしてトレンチを形成する領域の単結晶シリコンを露出させ、RIEによる異方性エッチング法で、ボディ領域を貫通する深さまでシリコンをエッチングし、トレンチを形成する。

20

【0023】次に、高温犠牲酸化や、等方性ドライエッチングなど、よく知られた方法によりトレンチ角部を丸め、その後トレンチ側壁及び底面にゲート絶縁膜を形成する(図4)。

【0024】この後、本発明特有の工程として、まず高濃度の不純物を含んだ多結晶シリコンを、トレンチ幅に応じて、トレンチを完全に埋め込まない厚さで堆積する(図5)。例えば、トレンチ幅が0.8μmの場合、0.2μmの厚さの多結晶シリコンを堆積する。高濃度の不純物を含んだ多結晶シリコンの形成方法は、初めに不純物を含まない多結晶シリコンを堆積した後に、熱拡散またはイオン注入法により不純物を注入する方法や、多結晶シリコン堆積中に不純物を導入する方法など、任意の方法を用いることができる。

30

【0025】次に、今度はトレンチを完全に埋め込むまでの厚さで高融点金属、例えばW、Ti、Moなどの膜を堆積し、シリサイドーションのために窒素雰囲気中で高温アニールを施すことで、金属シリサイド膜を多結晶シリコン膜上及びトレンチ内の多結晶シリコン膜の内側に形成する(図6)。または上記に準じた金属シリサイド膜を堆積し、必要に応じてアニールしてもよい。例えば、トレンチ幅0.8μmに対して多結晶シリコンを0.2μm堆積した場合、上記のように金属シリサイド膜を0.2μm以上形成することでトレンチ内部を完全に埋め込むことができる。

40

【0026】次に、必要に応じて、金属シリサイド膜上の酸化膜を除去した後、トレンチ以外の領域の金属シリサイド膜を、多結晶シリコンに対して選択性の高いガス条件でエッチバック法により除去する(図7)。このときトレンチ内金属シリサイド膜が過剰にエッチングされ凹部が形成される場合があるが、Siのトレンチ面に対

50

して、多結晶シリコン膜厚分の余裕があるのでその量までオーバーエッチングしても構わない。例えば先の例では多結晶シリコン膜厚0.2 μm 分のオーバーエッチングマージンが存在する。

【0027】次に、先の金属シリサイド膜エッチングにより露出した多結晶シリコンを、金属シリサイド膜に対して選択性の高いガス条件でエッチバック法により除去する(図8)。この処理は同一チャンバー内で条件切り替えを行うことにより、2度のエッチングをスループットを低下させることなく行うことができる。

【0028】このとき、多結晶シリコン膜と金属シリサイド膜は密着性がよく、特にシリサイドーション・アニールを施した場合、強い接合強度が得られるので、多結晶シリコンエッチング時にこの界面が他の領域より早くエッチングされるということがない。つまり、従来の図10の例のようにエッチングレートが局所的に早い場所が存在しないので、図2の例のような凹部が発生しにくく、従って、過剰な多結晶シリコンのオーバーエッチングによりチャネル上の多結晶シリコンが除去されトランジスタ動作を阻害したり、後のボイドの形成によるクラックとそれに基づく信頼性不良というような問題が生じることがない。

【0029】次に、通常のMOS製造工程と同様に、高濃度ソース領域を形成するためのAsの注入、高濃度ボディコンタクト領域を形成するためのBまたはBF₂の注入及びそれらの活性化処理を行う(図9)。

【0030】そのあと通常のMOS製造工程と同様に、図示しないが中間絶縁膜の形成、コンタクトホール形成、金属配線の形成、保護膜の形成を経て縦形MOSトランジスタの主要部を作製する。

【0031】以上の製造工程及び構造をもつ本発明の縦形MOSトランジスタは、以下のような特徴をもつ。

【0032】まず1つめはゲートを従来使われている多結晶シリコン膜と、金属シリサイド膜の積層構造としていたので、ゲート抵抗値を従来の多結晶シリコン膜のみに比べ、20%以下にすることができる。特に金属シリサイドが、トレンチ底部のチャネル付近にまで達しているのでチャネルの反転・空乏動作が速く、ターンオン特性・ターンオフ特性が改善され、これにより縦形MOSトランジスタの高速化が実現でき、MHzレベルの動作を効率よく行うことができる。

【0033】2つめは、先に述べたようにゲートを多結晶シリコン膜と金属シリサイド膜の積層構造とし、かつそれぞれのエッチングを異なるガス条件で行っているのでゲート電極上部の凹部またはボイドが発生することがなく、動作不良や信頼性不良といった歩留まり低下を抑制することができる。

【0034】特に上に述べた後者の特徴は、図11のような構成にすることで実現することができる。これは本発明の、トレンチ内の多結晶シリコン膜の内側に形成

する金属シリサイドの変わりに、酸化膜を形成したものである。

【0035】製造工程の概略は以下になる。まず、図3～図5のように、第1導電型の高濃度不純物領域と低濃度エピタキシャル領域を有する半導体基板に第2導電型のボディ領域を形成し、このボディ領域を貫通するようにトレンチを形成し、このトレンチの角部の丸め処理を行い、内壁にゲート絶縁膜を形成し、高濃度不純物を含んだ多結晶シリコンをトレンチを完全に埋め込まない膜厚で堆積する。

【0036】次にトレンチ内多結晶シリコンの内側を埋め込むまで、多結晶シリコンを熱酸化により酸化することで酸化膜を形成し、この酸化膜をトレンチの内側の酸化膜のみを残すようにエッチバックする。

【0037】その後、図8、図9のように、多結晶シリコン膜を、先の酸化膜エッチング時と異なるガス条件でエッチバックし、高濃度ソース領域、高濃度ボディコンタクト領域を形成し、中間絶縁膜の形成、コンタクトホールの形成、金属配線の形成、保護膜の形成を経て縦形MOSトランジスタの主要部を作製する。

【0038】この場合も、ゲート電極を多結晶シリコンとシリコン酸化膜の積層構造とし、かつそれぞれのエッチングを異なるガス条件で行っているのでゲート電極上部の凹部またはボイドが発生することがなく、動作不良や信頼性不良といった歩留まり低下を抑制することができる。

【0039】このようなトレンチ内の多結晶シリコンの内側に形成する膜は、先に述べた酸化膜に限らず、多結晶シリコンとのエッチング選択比を高くするようなエッチング条件を採用することにより、シリコン窒化膜など、別のシリコン化合物などにも応用することが可能である。また、多結晶シリコン膜と高い密着強度を得られれば、金属膜を採用してもよい。この場合、ゲート抵抗低抵抗化に関しては最も高い効果を得ることができる。

【0040】

【発明の効果】本発明によれば、縦形MOSトランジスタのゲート抵抗を大幅に小さくでき、高周波特性を向上させることができる。また、ゲート形成時のオーバーエッチングに起因する動作不良・信頼性不良を低減でき、歩留まりの向上及びそれに伴う低価格化が実現できる。

【図面の簡単な説明】

【図1】本発明の縦形MOSトランジスタの模式断面図である。

【図2】従来の縦形MOSトランジスタの模式断面図である。

【図3】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図4】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図5】本発明の縦形MOSトランジスタの製造方法を

示す模式工程断面図である。

【図6】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図7】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図8】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図9】本発明の縦形MOSトランジスタの製造方法を示す模式工程断面図である。

【図10】従来の縦形MOSトランジスタにおいて多結晶シリコンを堆積した後の模式断面図である。

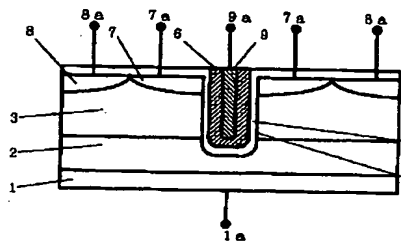
【図11】本発明の縦形MOSトランジスタの別の実施例の模式断面図である。

* 【符号の説明】

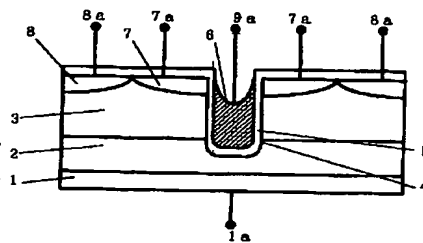
- | | |
|----|--------------------|
| 1 | 第1導電型高濃度基板 |
| 2 | 第1導電型エピタキシャル層 |
| 3 | 第2導電型ボディ領域 |
| 4 | トレンチ |
| 5 | ゲート絶縁膜 |
| 6 | 多結晶シリコン |
| 7 | 第1導電型高濃度ソース領域 |
| 8 | 第2導電型高濃度ボディコンタクト領域 |
| 9 | 金属シリサイド |
| 10 | グレイン境界 |
| 12 | シリコン酸化膜 |

*

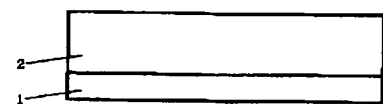
【図1】



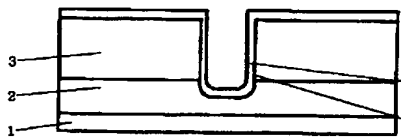
【図2】



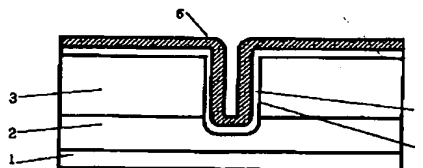
【図3】



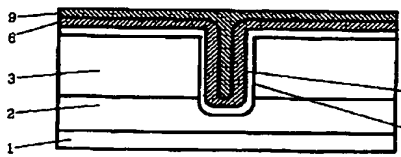
【図4】



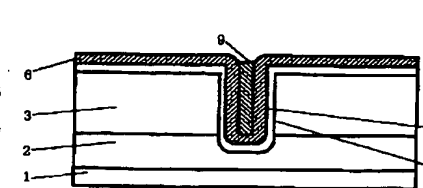
【図5】



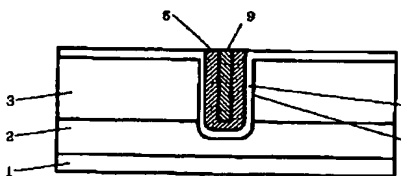
【図6】



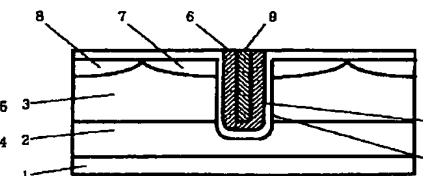
【図7】



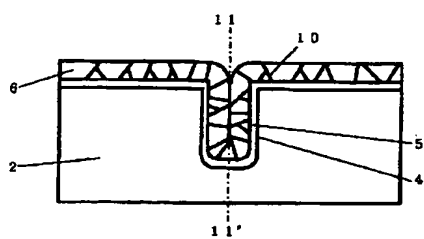
【図8】



【図9】



【図10】



【図11】

